

УДК 004.052.2

DOI: [10.26102/2310-6018/2024.45.2.025](https://doi.org/10.26102/2310-6018/2024.45.2.025)

Защита от множественных сбоев в памяти

Е.С. Лепёшкина

*Сибирский государственный университет науки и технологий имени академика
М.Ф. Решетнева, Красноярск, Российская Федерация*

Резюме. Рассмотрена проблема множественных сбоев, образующихся в микросхемах памяти бортовой аппаратуры космических аппаратов в результате воздействия отдельных ядерных частиц космического пространства. Обзор литературных источников показал, что опасность множественных сбоев реальна и будет увеличиваться по мере уменьшения технологических норм проектирования электронной компонентной базы. Двойные множественные сбои являются в настоящее время наиболее актуальной угрозой, так как их появление вызвано заряженными частицами с относительно небольшой энергией. Двойные сбои могут быть смежными и несмежными. Смежные двойные сбои вызваны одномоментным действием одной ядерной частицы. Несмежные сбои – это результат накопления однократных сбоев, произошедших в разное время в разных запоминающих ячейках одного слова памяти. При определенных условиях можно избежать появления двукратных несмежных ошибок. Для защиты от двойных смежных ошибок применимы коды для их исправления. Эти коды являются относительно новыми и обобщенное описание их построения отсутствует. Данные коды гарантированно исправляют однократные ошибки и двукратные смежные, но имеют существенную вероятность ошибочного исправления несмежной двойной ошибки. При переходе к практическому использованию для этих кодов необходимо определить требования к виду проверочной матрицы, найти общий алгоритм их построения для разной длины слова памяти при малой избыточности и высокой производительности при условии, что к корректирующим способностям кода предъявляются требования обнаружения и исправления только одиночных и двойных смежных ошибок и никаких дополнительных.

Ключевые слова: разовые сбои в памяти, сбои однократные и множественные, двукратные сбои, частота множественных сбоев, меры защиты от множественных сбоев, коды с исправлением двукратных ошибок.

Для цитирования: Лепёшкина Е.С. Защита от множественных сбоев в памяти. *Моделирование, оптимизация и информационные технологии.* 2024;12(2). URL: <https://moitvvt.ru/ru/journal/pdf?id=1551> DOI: 10.26102/2310-6018/2024.45.2.025

Protection against multiple memory faults

E.S. Lepeshkina

*Reshetnev Siberian State University of Science and Technology, Krasnoyarsk,
the Russian Federation*

Abstract. The problem of multiple faults in the memory chips of on-board equipment of spacecraft as a result of the impact of individual nuclear particles in outer space is considered. A review of the literature showed that the danger of multiple failures is real and will increase as technological standards for the design of electronic components decrease. Double multiple faults are currently the most pressing threat, as they are caused by charged particles with relatively low energies. Double faults can be adjacent or non-adjacent. Adjacent double faults are caused by the simultaneous action of a single nuclear particle. Non-adjacent faults are the result of the accumulation of single failures that occurred at different times in different storage cells of the same memory word. Under certain conditions, the occurrence of double non-contiguous errors can be avoided. To protect against double adjacent errors, correcting codes are used. These codes are relatively new and there is no general description of their construction. These

codes are guaranteed to correct single errors and double adjacent errors, but have a significant probability of erroneously correcting a non-adjacent double error. But when moving to practical use, it is necessary to determine the requirements for the type of check matrix for these codes, to find a general algorithm for their construction for different memory word lengths, with low redundancy and high performance, provided that the correcting abilities of the code are subject to the requirements of detecting and correcting only single and double adjacent errors and no additional ones.

Keywords: single memory failures, single and multiple faults, double faults, frequency of multiple faults, measures to protect against multiple failures, double error correction codes.

For citation: Lepeshkina E.S. Protection against multiple memory faults. *Modeling, Optimization and Information Technology*. 2024;12(2). URL: <https://moitvvt.ru/ru/journal/pdf?id=1551> DOI: 10.26102/2310-6018/2024.45.2.025 (In Russ.).

Введение

События сбоев Single Event Upset (SEU), вызванные попаданием отдельных ядерных частиц космического пространства в запоминающие ячейки матричной структуры бортовой памяти, представляют угрозу для безопасного функционирования космического аппарата. SEU могут быть однократными и множественными (мультибитными). Если проблема однократных сбоев достаточно надежно решается кодами с исправлением одиночных ошибок SEC-DED (Single Error Correction – Double Error Detection), то защита от мультибитных сбоев еще не нашла удовлетворительного решения. В статье оценивается реальность опасности множественных сбоев в памяти, а также рассматриваются подходы к реализации защиты от них.

Материалы и методы

Проведем обзор литературы, в которой рассматриваются вопросы вероятности и опасности множественных сбоев, а также методы их парирования.

В [1] рассматривается проблематика множественных сбоев в динамической памяти. Расчетным образом с помощью программы COSRAD [2] получена оценка количества ошибок памяти, в т. ч. с вероятностью более одной ($P(>1)$) и с вероятностью более двух ($P(>2)$) ошибок, за время солнечного протонного события 19–22 октября 1989 г. при следующих исходных данных: высота орбиты 1400 км, наклонение 52° ; сферическая защита корпусом космического аппарата (КА) из алюминия; события, вызывающие ошибки, независимы; оперативная память объемом 128 Мбайт со встроенным механизмом EDAC (Error Detection and Correction) с исправлением одной ошибки и обнаружением двух, составленная из 8+1 микросхем коммерческой памяти Micron MT48LC16M8A2 (16Mx8), технологический процесс 210 нм; при расчете учитывалось периодическое фоновое сканирование памяти (скраббинг, регенерация), исправляющее одну ошибку. Период сканирования 2 часа. Результаты приведены для разных вариантов защиты (Таблица 1). Для сравнения получены результаты интенсивности сбоев при нахождении КА в нижнем радиационном поясе Земли. Также представлена частота одиночных ошибок и вероятность наличия более 1 и 2 ошибок хотя бы в одном блоке памяти за время мощной солнечной вспышки и от протонов радиационных поясов.

Таблица 1 – Частоты ошибок
Table 1 – Fault rates

Защита КА		Ошибок в сутки	P (>1)	P (>2)
г/см ²	мм Al			
Мощная солнечная вспышка, 1 сутки				
0,54	2	10000	0,2	4·10 ⁻⁶
1	3,7	4500	0,05	4·10 ⁻⁷
1,5	5,5	3000	0,02	1·10 ⁻⁷
Протоны радиационных поясов, 1 месяц				
<2	<7,4	250	0,005	2·10 ⁻⁹

Анализируя приведенные в Таблице 1 результаты, можно отметить, что, например, для защиты, более рациональной для текущей практики космического приборостроения (толщина Al защиты 2 мм), при солнечной вспышке на высоте 1400 км за сутки возможны до 10000 событий ошибок (одиночных событий, ОС), из них не менее 20% (2000 событий) – это события с количеством ошибок более 1. Большинство этих ошибок двукратные, так как вероятность ошибок более чем 2 низкая, $P(>2)=4 \cdot 10^{-6}$. Отметим, что приведены результаты при достаточно грубом технологическом процессе (210 нм) изготовления микросхемы памяти. При более современном техпроцессе и общее количество сбоев, и вероятности $P(>1)$ и $P(>2)$ будут выше. На высоте орбиты приблизительно 40000 км и нахождении КА в нижнем радиационном поясе Земли воздействие космической радиации проявляется в менее 10 сбоев в сутки, причем события с двумя и более ошибками происходят примерно 1 раз в 6,5 года (для толщины защиты <7,4 мм). Заметим также, что расчеты проведены с учетом скраббинга, препятствующего появлению несмежных множественных событий (МС).

В работе [1] для исправления МС предлагаются следующие решения: чередование битов, при котором соседние биты в строке памяти принадлежат к разным блокам (как в технологии IBM «Chipkill» [3]) и использование кода Рида-Соломона, исправляющего ошибку в одном слове и обнаруживающего ошибки в двух словах длиной 4 или 8 бит в зависимости от разрядности микросхем ОЗУ.

В работе [4] приведены модели сбоеустойчивости к одиночным сбоям статической памяти при воздействии тяжелых заряженных частиц (ТЗЧ) при выполнении скраббинга памяти (регенерации). Модель соотношения количества смежных множественных сбоев Mr к общему количеству событий сбоев m определяется

$$Mr = \frac{m(m-1)}{2N}, \quad (1)$$

если за период регенерации Tr количество сбоев $m \ll N$, где N – количество строк в микросхеме SRAM (Static Random Access Memory).

Так, для микросхемы статического оперативного запоминающего устройства (СОЗУ) 4 Мбит, содержащего 131072 слова, при количестве ОС $m = 52$ за время одного цикла регенерации Tr МС количество МС будет равно: $Mr = 52 \cdot 51 / (2 \cdot 131072) = 0,010$. Это значит, что на одно 32-разрядное слово приходится один некорректируемый МС при общем количестве ОС равном 5200 за время 100 циклов регенерации [4].

При $m \ll N$ количество возникающих в СОЗУ множественных сбоев Ms определяется выражением:

$$M_s = \frac{VG\sigma^2}{2N} \cdot Tr \left(1 - \frac{T1}{Tr} \right), \quad (2)$$

где N – количество информационных слов, $T1$ – время возникновения одного ОС при воздействии на микросхему потока частиц плотностью G , $T1 <$ (или \ll) Tr , Tr – время цикла регенерации N , σ – сечение одиночного сбоя, G – плотность потока частиц, V – величина флюенса. При этом $T1 = 1/(G \cdot \sigma)$.

Определены расчетные значения для получения периода регенерации для исключения МС. Приводятся данные, если же регенерация отсутствует, то при сечении сбоя σ , равном, например, $0,05 \text{ см}^2$ и значении флюенса $V = 10^5 \text{ см}^2$ произойдет $m = \sigma V = 5 \cdot 10^3$ ОС, среди которых будет 96 МС.

В работе [5] приводятся результаты испытаний ранее представленной модели на опытных образцах микросхемы СОЗУ с информационной емкостью 4 Мбит и реализованным функционалом исправления ОС при воздействии ТЗЧ. Микросхемы изготовлены по 240 нм КМОП КНИ-технологии (комплементарная структура металл-оксид-полупроводник, технология «кремний на изоляторе»), с организацией 131072 слова по 32 бита в памяти.

Устойчивость СОЗУ к ОС достигается использованием кода Хсяо [6] для восстановления информации. Данный код исправляет одиночные сбои и обнаруживает двойные. Обеспечивается это 7 контрольными разрядами для 32-разрядных информационных слов, при этом внутренний объем памяти СОЗУ составляет 4,875 Мбит с организацией 131072 слова по 39 бит.

Экспериментальные данные испытаний СОЗУ 4М на сбоеустойчивость получены НПО «СПЭЛС» на базе испытательного стенда «ИС ОИ 400-Н» и циклотрона «У-400». На микросхему воздействовали потоком ионов ксенона (Xe) и криптона (Kr) с различными значениями линейной поглощённой энергии (ЛПЭ). На Рисунке 1 приведены результаты сравнения экспериментальных ($M_sЭ$) и расчетных (M_sP) по модели (2) значений МС. Данные приведены для процесса облучения ионами Хе со следующими значениями параметров: ЛПЭ = $69 \text{ МэВсм}^2/\text{мг}$, $V = 10^5 \text{ см}^{-2}$, $G = 500 \text{ см}^{-2}\text{сек}^{-1}$, $\sigma = 0,051 \text{ см}^{-2}$ [5].

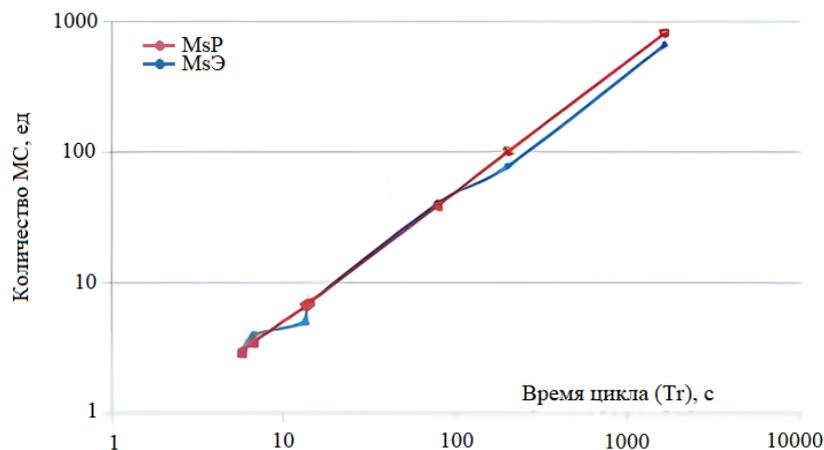


Рисунок 1 – Экспериментальное ($M_sЭ$) и расчетное (M_sP) количество двойных ошибок в зависимости от периода регенерации Tr

Figure 1 – Experimental ($M_sЭ$) and calculated (M_sP) number of double events depending on the regeneration period Tr

Кроме того, в работе [5] предполагается отсутствие двойных ошибок в микросхеме для вышеуказанных параметров процесса ($Tr \leq T1 = 0,04$ сек, $Tr/N = 300$ нс) и согласно выражению (2), поскольку каждый ОС будет восстановлен до того, как в микросхеме произойдет второй ОС.

В [7] вероятность множественных сбоев кратностью два и более, возникающих в словах микросхемы СОЗУ при воздействии ТЗЧ, определяется выражением:

$$Pm(Tr) = N \cdot \left[\sum_{k=2}^m (1/N)^k (1-1/N)^{m-k} \right]. \quad (3)$$

Выражение (3), так же как и (2), определяет вероятность возникновения в микросхеме множественных сбоев, зарегистрированных за время регенерации Tr , $k=2$, что соответствует двукратному ОС.

В [7] для оценки количества множественных сбоев Mr в качестве приближения при $m \ll N$ используется соотношение:

$$Mr \approx m^2 / N. \quad (4)$$

При больших значениях m ($1 \ll m \ll N$) по выражению (4) происходит двукратное увеличение значения Mr по сравнению с выражением (1).

В работе [8] отмечается, что наиболее уязвимыми от действия космической радиации являются сбои в памяти, которые достигают до 50% от общего числа сбоев в бортовой аппаратуре КА. Причем доля множественных сбоев зависит в первую очередь от параметра ЛПЭ ТЗЧ, и, как видно из Рисунка 2, может быть существенной при достаточно больших ЛПЭ. Двойные сбои могут иметь существенный процент даже при невысоких значениях ЛПЭ.

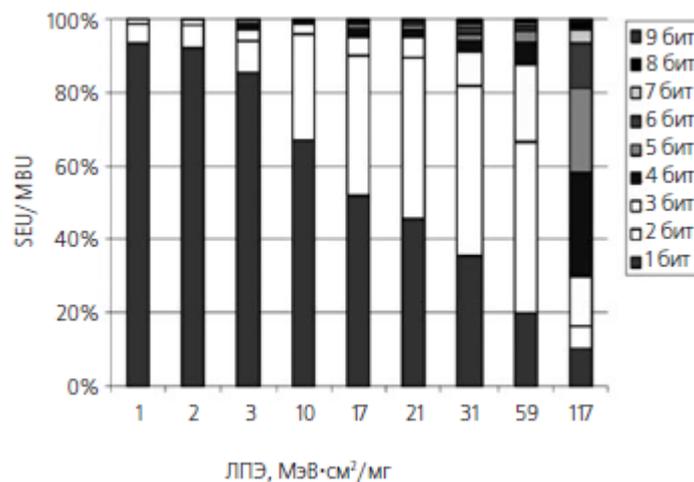


Рисунок 2 – Отношение одиночных (SEU) и мультибитных сбоев (MBU) в коммерческой 90-нм КМОП СБИС (сверхбольшой интегральной схеме) ОЗУ в зависимости от линейных потерь энергии ТЗЧ

Figure 2 – Ratio of single-bit (SEU) and multi-bit faults (MBU) in commercial 90-nm CMOS VLSI (Very Large-Scale Integrated Circuit) RAM depending on the linear energy loss by HCP

При этом отмечается влияние проектных топологических норм проектирования электронной компонентной базы (ЭКБ) на обеспечение стойкости к разовым эффектам. С одной стороны, уменьшение геометрических размеров элементов увеличивает стойкость микросхем по уровню поглощённой дозы радиации. С другой стороны, одиночные сбои и отказы учащаются. Это связано с уменьшением объема элемента и его

динамической памяти. Следовательно, для изменения его состояния требуется меньшее значение электрического заряда. Поэтому одна ТЗЧ способна вызывать множественные сбои сразу в нескольких чувствительных элементах прибора [9].

Собственно, само исследование [9] посвящено доказательству опасности МС на примере двух микросхем СОЗУ.

В первом случае в качестве условий радиационного воздействия определены условия, ставшие причиной возникновения нештатной ситуации на борту автоматической межпланетной станции «ФОБОС-ГРУНТ» на эллиптической орбите 250×4150...4170 км. Для этого авторы [9] воспользовались подходом, приложенным в работе [10], определяющим отношение интенсивности множественных сбоев ν_{MBU} к общей интенсивности сбоев ν согласно выражению

$$\frac{\nu_{MBU}}{\nu} = \frac{N_0 a_0}{1 + N_0 a_0}, \quad (5)$$

где $a_0 \leq 1$ мкм² – конечная величина площади поперечного сечения трека ТЗЧ; N_0 – количество чувствительных к сбоям областей, приходящихся на единицу площади микросхемы, а также формулой для определения общей частоте сбоев

$$\nu = \sigma_{ТЗЧнас} \cdot F_{ТЗЧ} (> L_0) + \sigma_{рнас} \cdot F_p (> E_0), \quad (6)$$

где $\sigma_{ТЗЧнас}$ и $\sigma_{рнас}$ – значения насыщения сечений возникновения одиночных сбоев; $F_{ТЗЧ} (> L_0)$ – интегральный ЛПЭ спектр средней плотности потока ТЗЧ, част·см⁻²·с⁻¹; $F_p (> E_0)$ – интегральный энергетический спектр потока протонов, част·см⁻²·с⁻¹.

Для микросхемы статической памяти WS512K32V-20G2UM (65 нм, класс Military, производитель WEDC (теперь Microsemi) получены значения частоты сбоев $\nu = 2 \cdot 10^{-4}$ (1/сек), из которых $\nu_{MBU} = 1,22 \cdot 10^{-4}$ (1/сек). Если пересчитать, то приблизительно получается 17 сбоев в сутки, из них МС – 10 раз в сутки на низкой орбите.

Для микросхемы SRAM UT8R4M39-25XFG (4М x 39, класс Space, компания AeroFlex (теперь Gobham)), для которой параметр частоты сбоев для геостационарной орбиты уже задан производителем $7,3 \cdot 10^{-7}$ 1/(бит·сут), был проведен другой расчет. Грубая оценка площади ячейки статической памяти вычисляется:

$$S_{яп} \approx \frac{S_{ис}}{N_{яп}}, \quad (7)$$

где $S_{ис}$ – площадь кристалла интегральной микросхемы, $N_{яп}$ – число ячеек памяти. Для известных для SRAM UT8R4M39-25XFG значений $S_{ис} = 0,9 \times 0,9$ дюйма и $N_{яп} = 1,63 \cdot 10^8$ получим, что $S_{яп} \approx 3,2$ мкм². Исходя их оцененного размера ячейки памяти и частоты сбоев по формуле (5), получено что частота МС составит величину $5,3 \cdot 10^{-4}$ 1/сек, или примерно 2 МС в час, или примерно 48 МС в сутки на геостационарной орбите.

В [11] рассматриваются методы защиты памяти от МС. Среди них технология Chipkill [3]. Согласно ей хранение данных организуется так, что многократную ошибку в одном кодовом слове можно перевести в однократную ошибку в нескольких кодовых словах, которые в свою очередь исправляются помехоустойчивым кодированием. Так как Chipkill-кодирование требует количество микросхем, равное количеству битов кодового слова, предложены методы использования помехоустойчивых кодов, исправляющие двукратные смежные ошибки [12] (SEC-DED-DAEC,

Single-Error-Correcting, Double-Error-Detecting, Double-Adjacent-Error-Correcting) и ошибки большей кратности [13] вместе с Chipkill-кодированием. Эти методы позволяют снизить минимальное количество кристаллов CO3Y соответственно в два и более раза при той же помехоустойчивости. Дополнительно существуют методы восстановления потерянной при временном функциональном отказе информации, например, SbER-кодирование [14].

В [15] отмечается, что технология Chipkill может быть применена при проектировании внутренней структуры памяти, что при совместном использовании кодов SEC-DED-DAEC позволит создать эффективную защиту от двойных смежных ошибок, а также предотвратит появление двойных несмежных.

В [16] рассмотрены известные по именам авторов SEC-DED-DAEC-коды: Дутта (39,32) [12], Датта (42,32) [17], Нила (42,32) [18], Ревирегио (39,32) [19], Ча-Юна (39,32) [20], Хоюна-Йонгсурка (41,32) [21]. Эти коды исправляют однократную ошибку, двукратную смежную ошибку, обнаруживают несмежную двукратную ошибку, и пытаются их исправить, имеют ненулевую вероятность ошибочного исправления несмежной двукратной ошибки. Показано, например, что код Дутта (39,32) имеет вероятность ошибочной коррекции двойной несмежной ошибки 0,57, код Ча-Юна (39,32)–0,59, код Ревирегио (39,32)–0,62. Кроме того, исходя из числа единиц в проверочной матрице, они имеют разную скорость кодирования и декодирования (одни коды быстрее, другие медленнее), несмотря на то что имеют одинаковую избыточность.

Результаты

Обзор источников показал, что проблема мультибитных сбоев в памяти реальна (как для динамической, так и статической памяти) и будет увеличиваться по мере уменьшения технологических норм проектирования ЭКБ. Если уже сейчас при настоящих нормах проектирования ЭКБ их количество составляет не менее 20% от общего количества сбоев в памяти (в случае геостационарных орбит или в случае солнечных вспышек на более низких орбитах), то при переходе к более глубоким субмикронным технологиям (ниже 65 нм) следует ожидать повышения их количества.

Появление мультибитного сбоя и его кратность от воздействия отдельной ТЗЧ зависит от энергии частицы и трека ее падения на матрицу запоминающих ячеек памяти, что определяет сечение сбоя, а также от структуры матрицы и размеров запоминающих элементов.

Мультибитные сбои могут быть двукратные, трехкратные и большей кратности. Двукратные ошибки в настоящее время составляют большинство мультибитных сбоев, т.к. для их появления энергия ядерных частиц может быть сравнительно небольшой. Они могут быть смежными, когда ошибки происходят в двух соседних битах одного слова в памяти, или несмежными, когда сбои происходят в несоседних битах слова памяти. Смежные ошибки, можно определенно полагать, появляются вследствие воздействия одной ТЗЧ. Несмежные ошибки – это проявление попадания двух ТЗЧ в несоседние запоминающие ячейки одного слова памяти. Скорее всего события попадания двух ТЗЧ в разные места одного слова памяти происходят не одновременно: сначала появляется одна однократная ошибка в одном бите, а затем через некоторое время другая однократная ошибка в некотором другом несоседнем бите одного слова памяти.

В связи с вышесказанным защита от мультибитовых ошибок приобретает возросшую актуальность. К сожалению, в настоящее время эффективной является защита только от однократных сбоев, а именно, техническая реализация устройства EDAC на основе кодов с исправлением одной ошибки типа SEC-DED. Применительно к проблематике защиты от МС выполнение периодической пословной регенерации

(скраббинга) памяти позволяет избежать накопление однократных ошибок и тем самым препятствует появлению несмежных двойных. Период регенерации каждого слова памяти зависит от количества слов памяти.

Для защиты от двойных смежных сбоев в последнее время стали появляться коды SEC-DED-DAEC. Коды могут иметь разную избыточность, скорость кодирования/декодирования и разную вероятность ошибочного исправления двойной несмежной ошибки. Так как они на 100% не защищают от двойной несмежной ошибки их использование возможно при наличии эффективного скраббинга. Эффективность скраббинга определяется периодом его повторения. Избыточность желательна должна соответствовать стандартной избыточности для кодов SEC-DED (например, для 32-разрядной памяти – 7 контрольных бит), т.к. микросхемы бортовой памяти производятся уже с расчетом на такую избыточность. Производительность кода желательна должна быть не хуже кода Хсяо, который среди кодов SEC-DED отличается высокой скоростью.

Технология Chipkill в чистом виде отличается высокой аппаратной избыточностью, для снижения которой применяют комбинированные решения совместно с применением помехоустойчивого кодирования с исправлением МС, например, с исправлением двукратных смежных ошибок.

Таким образом, проведенный обзор показал, что развитие SEC-DED-DAEC кодирования является актуальным для защиты от двойных сбоев. Вместе с тем в работах [12, 17-21] общие вопросы их построения рассмотрены недостаточно. Необходимо определить требования к виду проверочной матрицы SEC-DED-DAEC кодов, найти общий алгоритм их построения для разной длины слова памяти, при малой избыточности и высокой производительности при условии, что к корректирующим способностям кода SEC-DED-DAEC предъявляются требования обнаружения и исправления только одиночных и двойных смежных ошибок и никаких других дополнительных.

Представим возможный подход к построению проверочных матриц для SEC-DED-DAEC кодов. Как в случае любого линейного кода SEC-DED-DAEC коды задаются матрицами – порождающей $G_{n \times k}$ или проверочной $H_{m \times n}$, где m – количество строк матрицы, а также количество проверочных символов, k – число информационных бит, а n – число столбцов и длина кода.

При построении таких кодов их размерность может составлять тысячи бит, поэтому их хранение в памяти электронного устройства становится затруднительно. Использование кодов, имеющих относительно мало единиц в матрице H , позволяет эффективнее организовать процесс её хранения или же с меньшим количеством операций напрямую реализовать процесс кодирования/декодирования в электронной схеме.

Исходя из поставленного условия минимизации количества единиц в матрице H сформулируем требования, предъявляемые к построению проверочной матрицы H , содержащей $m = n - k$ строк и n линейно-независимых столбцов.

В общем случае количество ошибок, которые будет обнаруживать и исправлять тот или иной код, зависит от расстояния Хэмминга, которое определяется как число отличных друг от друга соответствующих бит между парами кодовых векторов.

Допустим, d_{\min} – минимальное кодовое расстояние, t – количество ошибок. Тогда количество ошибок, которые код будет обнаруживать можно найти из соотношения $d_{\min} \geq t + 1$, а количество ошибок, которые код будет исправлять из соотношения $d_{\min} \geq 2t + 1$. Чем больше d_{\min} , тем большее число ошибок в принятой

последовательности можно исправить. Достаточное значение d_{\min} обеспечивается тем, что все столбцы матрицы H , образуют линейно независимые группы.

Для того, чтобы код обнаруживал и исправлял одиночные и двойные смежные ошибки, все столбцы (в количестве n) проверочной матрицы H , а также суммы (по модулю 2) этих столбцов (в количестве $n-1$) должны быть различны. Тогда всего таких столбцов необходимо $2n-1$. С другой стороны, всего различных столбцов матрицы, состоящей из 0 и 1, можно составить 2^n . Принимая во внимание оба выражения, можно предположить, что число строк m и число столбцов n проверочной матрицы H кода, исправляющего однократные и двукратные смежные ошибки, связаны соотношением:

$$m = \lceil \log_2(2n-1) \rceil + 1. \quad (8)$$

При этом соотношение числа информационных бит с числом контрольных бит должно подбираться таким образом, чтобы всего таких различных столбцов можно было составить больше, чем их необходимо. При несоблюдении данного требования невозможно будет идентифицировать кратность ошибки и ее местоположение.

Далее необходимо показать, является ли m , вычисленное по выражению (8), минимальным для исправления одиночной и двойной смежной ошибки.

В качестве примера рассмотрим построение линейного (8, 4)-кода, где 8 – длина кода, а 4 – количество проверочных бит. В данном случае $n=8$.

$$\text{Вычислим по (8) значение } m = \lceil \log_2(2n-1) \rceil + 1 = \lceil \log_2(16-1) \rceil + 1 = 4.$$

Всего для кода из 0 и 1 мы можем составить $2^m=16$ различных вариантов заполнения столбцов, но с учетом того, что нулевой столбец мы исключаем (иначе нарушается требование о различии столбцов матрицы и их сумм), остается 15 различных вариантов столбцов. Для заполнения проверочной матрицы H , а также дополнительной матрицы HH (которая состоит из сумм соседних столбцов матрицы H) необходимо $2n-1=2 \cdot 8-1=15$ различных столбцов. Итого, необходимо 15 различных столбцов из 15 возможных, противоречий нет.

При заполнении матриц H и HH возникает проблема – не удастся составить необходимых 8 и 7 различных столбцов соответственно. Один из вариантов заполнения матриц представлен ниже (заполнение матриц идет с конца):

$$H_{m \times n} = H_{4 \times 8} = \begin{pmatrix} - & 1 & 0 & 1 & 1 & 0 & 0 & 0 \\ - & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ - & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ - & 1 & 1 & 1 & 0 & 0 & 0 & 1 \end{pmatrix} \quad HH_{m \times (n-1)} = HH_{4 \times 7} = \begin{pmatrix} - & 1 & 1 & 0 & 1 & 0 & 0 \\ - & 1 & 0 & 1 & 1 & 1 & 0 \\ - & 1 & 1 & 0 & 0 & 1 & 1 \\ - & 0 & 0 & 1 & 0 & 0 & 1 \end{pmatrix}$$

Покажем это в общем виде.

Утверждение 1. Кода с параметрами $(2^{n-1}, n)$, исправляющего одиночные и двойные смежные ошибки, не существует при $n \geq 3$.

Утверждение 1 эквивалентно следующему утверждению: среди 2^{n-1} ненулевых векторов из 0 и 1 размерности n нельзя выбрать 2^{n-1} векторов и упорядочить их так, чтобы суммы двух соседних столбцов по модулю 2 были различны и отличны от выбранных векторов.

Для доказательства сначала установим два вспомогательных утверждения.

Лемма 1. Пусть в $(0, 1)$ матрице H произвольной размерности все столбцы и суммы по модулю 2 двух соседних столбцов различны. Будем называть сформулированное условие свойством (*). Тогда, если матрица H' получена из H перестановкой строк, то она обладает свойством (*).

Доказательство очевидно.

Лемма 2. Пусть $(0, 1)$ матрица H удовлетворяет свойству (*). Тогда, если матрица H' получена из H сложением любых двух ее строк по модулю 2, то H' обладает свойством (*).

Доказательство. Без ограничения общности можем считать, что складываются первая и вторая строки. Если для некоторых $i, i+1$ и $j, j+1$ имеем суммы столбцов $i, i+1$ и $j, j+1$ равны, то

$$h_{1,i} + h_{2,i} + h_{1,i+1} + h_{2,i+1} = h_{1,j} + h_{2,j} + h_{1,j+1} + h_{2,j+1}$$

$$h_{2,i} + h_{2,i+1} = h_{2,j} + h_{2,j+1}$$

...

откуда $h_{1,i} + h_{1,i+1} = h_{1,j} + h_{1,j+1}$ и, следовательно, суммы этих же столбцов равны в H . Противоречие. Далее, если для некоторых i, j :

$$h_{1,i} + h_{2,i} = h_{1,j} + h_{2,j}$$

$$h_{2,i} = h_{2,j}$$

...

То $h_{1,i} = h_{1,j}$ и столбцы i, j равны в H . Противоречие.

Наконец, если для некоторых i, j :

$$h_{1,i} + h_{2,i} + h_{1,i+1} + h_{2,i+1} = h_{1,j} + h_{2,j}$$

$$h_{2,i} + h_{2,i+1} = h_{2,j}$$

...

То $h_{1,i} + h_{1,i+1} = h_{1,j}$ и поэтому сумма i и $i+1$ го столбцов совпадает с j -м столбцом в H . Противоречие. Лемма доказана.

Вернемся к доказательству первого утверждения. Предположим, что код $(8, 4)$, исправляющий одиночные и двойные смежные ошибки, существует и H – его матрица. Ввиду лемм 1 и 2 мы можем преобразовать матрицу H к систематическому виду:

$$H' = \begin{pmatrix} h_{11} & h_{12} & h_{13} & h_{14} & 1 & 0 & 0 & 0 \\ h_{21} & h_{22} & h_{23} & h_{24} & 0 & 1 & 0 & 0 \\ h_{31} & h_{32} & h_{33} & h_{34} & 0 & 0 & 1 & 0 \\ h_{41} & h_{42} & h_{43} & h_{44} & 0 & 0 & 0 & 1 \end{pmatrix}$$

без потери свойства (*).

Граф ниже (Рисунок 3) показывает, что, выбирая сначала 4, затем 3 и т.д. его столбцы, мы никогда не дойдем до первого столбца.

Ввиду отсутствия других возможных вариантов столбцов и их комбинаций, удовлетворяющих условиям построения матриц, можно сделать вывод, что при данном количестве проверочных символов t проверочную матрицу H и матрицу HN построить нельзя. Очевидно, что для построения проверочной матрицы H и матрицы HN необходимо увеличивать число проверочных символов t .

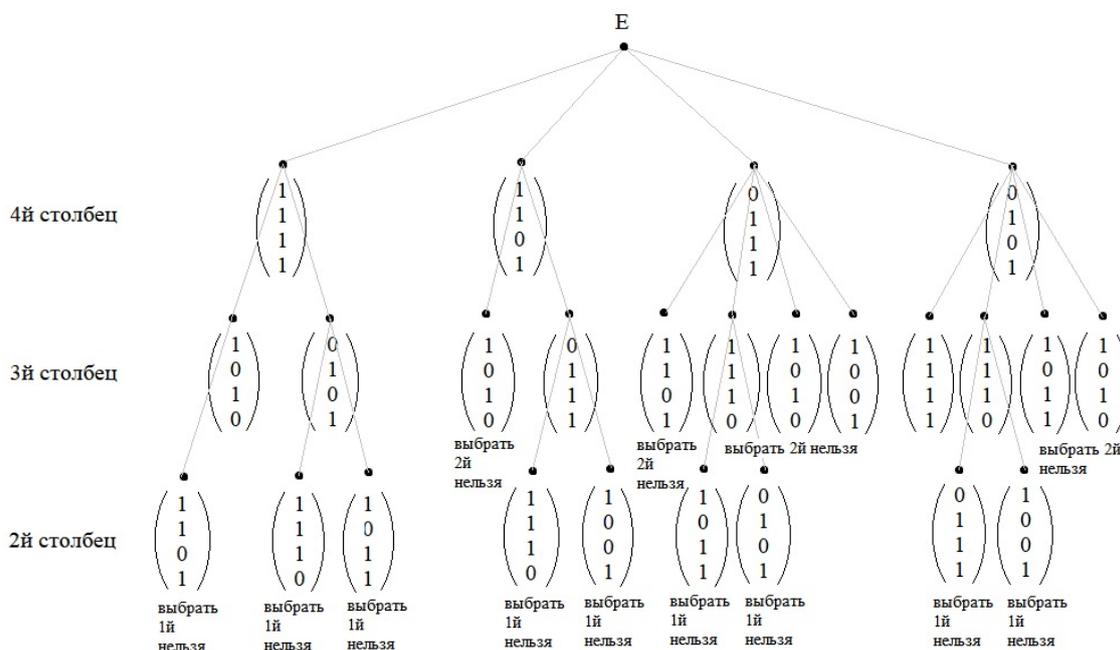


Рисунок 3 – Граф заполнения проверочной матрицы H
Figure 3 – Check matrix H filling graph

Следовательно, необходимо пересмотреть выражение (1) для определения минимально возможного значения m , при условии, что код должен исправлять одиночную и двойную смежную ошибки.

Следующим шагом увеличиваем m на 1. Построить код $(8, 5)$ уже представляется возможным, так как удастся составить необходимых 8 и 7 различных столбцов для матриц H и HH соответственно.

$$H_{m \times n} = H_{5 \times 8} = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix} \quad HH_{m \times (n-1)} = HH_{5 \times 7} = \begin{pmatrix} 0 & 1 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 \end{pmatrix}$$

Следовательно, код $(8, 5)$, исправляющий одиночные и двойные смежные ошибки, существует. Выражение (8) преобразовывается следующим образом:

$$m = \lceil \log_2(2n - 1) \rceil + 2. \tag{9}$$

В дальнейшем необходимо сформулировать теоремы, которые описывают требования к построению проверочной матрицы в общем случае.

Заключение

Рассмотрена проблема защиты памяти космических аппаратов от множественных сбоев, обусловленных разовыми событиями попадания отдельных заряженных частиц космического пространства в микросхемы памяти. Относительно других вариантов множественных сбоев двойные сбои являются более актуальной угрозой, так как их

появление вызвано заряженными частицами с относительно небольшими энергиями. Двойные сбои могут быть смежными и несмежными. Для защиты от двойных смежных ошибок применимы SEC-DED-DAEC коды.

В рамках исследования требований к построению проверочной матрицы SEC-DED-DAEC кодов предложено соотношение для числа строк и числа столбцов проверочной матрицы. Соотношение доказано на частном примере. В дальнейшем планируется провести работы по поиску достаточных условий для построения и исследованию проверочных матриц, исправляющих одиночные и двойные смежные ошибки, в общем виде.

СПИСОК ИСТОЧНИКОВ / REFERENCES

1. Подзолко М.В. Моделирование опасности одиночных сбоев от космических частиц для памяти с коррекцией ошибок. *Вестник Московского университета. Серия 3. Физика. Астрономия*. 2017;(6):99–106.
Podzolko M.V. Modeling of the Risk of Single Event Upsets from Cosmic Particles for Memory with Error Correction. *Vestnik Moskovskogo universiteta. Seriya 3. Fizika. Astronomiya = Moscow University Physics Bulletin*. 2017;72(6):601–608.
<https://doi.org/10.3103/S0027134917060133>.
2. Кузнецов Н.В., Малышкин Ю.М., Николаева Н.И., Ныммик Р.А., Панасюк М.И., Ужегов В.М., Яковлев М.В. Программный комплекс COSRAD для прогнозирования радиационных условий на борту космических аппаратов. *Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру*. 2011;(2):72–78.
Kuznetsov N.V., Malyshkin Yu.M., Nikolaeva N.I., Nymmik R.A., Panasyuk M.I., Uzhegov V.M., Yakovlev M.V. Software complex COSRAD for radiation environment forecasting onboard spacecrafts. *Voprosy atomnoi nauki i tekhniki. Seriya: Fizika radiatsionnogo vozdeistviya na radioelektronnyuyu apparaturu = Questions of atomic science and technics. Series: Physics of radiation effects on radio-electronic equipment*. 2011;(2):72–78. (In Russ.).
3. Timothy J.D. A White Paper on the Benefits of Chipkill-Correct ECC for PC Server Main Memory. URL: https://web.archive.org/web/20150923233043/http://www.ece.umd.edu/courses/enee759h.S2003/references/ibm_chipkill.pdf (дата обращения: 26.03.2024).
4. Мещанов В.Д., Лушников А.С., Рыбалко Е.С., Фомичева Н.Н. Модель сбоеустойчивости СОЗУ с функцией исправления одиночных сбоев при воздействии тяжелых заряженных частиц. *Электронная техника. Серия 3: Микроэлектроника*. 2016;(2):71–76.
Meschanov V.D., Lushnikov A.S., Rybalko E.S., Fomicheva N.N. The model of SRAM with embedded circuit error detection and correction against single event upset. *Elektronnaya tekhnika. Seriya 3: Mikroelektronika = Electronic Engineering. Series 3: Microelectronics*. 2016;(2):71–76. (In Russ.).
5. Красников Г.Я., Лушников А.С., Мещанов В.Д., Рыбалко Е.С., Фомичева Н.Н., Шелепин Н.А. Исследование сбоеустойчивости СОЗУ с функцией исправления одиночных сбоев при воздействии ТЗЧ. *Наноиндустрия*. 2018;(9):327–329.
<https://doi.org/10.22184/1993-8578.2018.82.327.329>.
Krasnikov G.Ya., Lushnikov A.S., Meschanov V.D., Rybalko E.S., Fomicheva N.N., Shelepin N.A. Studying the fault tolerance of SRAM with the function of correcting single event upsets caused by heavy ions. *Nanoindustriya = Nanoindustry*. 2018;(9):327–329. (In Russ.). <https://doi.org/10.22184/1993-8578.2018.82.327.329>.

6. Hsiao M.Y. A Class of Optimal Minimum Odd-weight-column SEC-DED Codes. *IBM Journal of Research and Development*. 1970;14(4):395–401. <https://doi.org/10.1147/rd.144.0395>.
7. Hafer C., Mabra J., Slocum D., Farris T., Jordan A. SEE and TID Results for a RadHard-by-Design 16Mbit SRAM with Embedded EDAC. In: *2006 IEEE Radiation Effects Data Workshop, 17-21 July 2006, Ponte Vedra Beach, FL, USA*. IEEE; 2006. P. 131–135. <https://doi.org/10.1109/REDW.2006.295481>.
8. Краснюк А.А., Петров К.А. Особенности применения методов помехоустойчивого кодирования в суб-100-нм микросхемах памяти для космических систем. *Проблемы разработки перспективных микро- и наноэлектронных систем*. 2012;(1):638–641.
Krasnyuk A.A., Petrov K.A. Features of application ECC methods in sub-100 nm SRAMS for space systems. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem = Problems of Advanced Micro- and Nanoelectronic Systems Development*. 2012;(1):638–641. (In Russ.).
9. Смутьский А.В., Алексеев С.И., Кудрявцев Ю.Е. К вопросу обеспечения устойчивости бортовой аппаратуры перспективных космических аппаратов к множественным сбоям от действия отдельных ядерных частиц космического пространства. *Вестник НПО им. С.А. Лавочкина*. 2014;(4):97–102.
Smulsky A.V., Alexeev S.I., Kudryavtsev Y.E. To the issue of onboard equipment ensure sustainability of the advanced spacecraft with respect to multiple failures from the actions of the space individual nuclear particles. *Vestnik NPO im. S.A. Lavochkina*. 2014;(4):97–102. (In Russ.).
10. Зебрев Г.И., Ишутин И.О., Усейнов Р.Г., Анашин В.С. Методология вычисления частоты мягких одиночных сбоев для современных приборов. *Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру*. 2010;(2):82–89.
Zebrev G.I., Ishutin I.O., Useinov R.G., Anashin V.S. Calculation methodology of soft single errors frequency for modern devices. *Voprosy atomnoi nauki i tekhniki. Seriya: Fizika radiatsionnogo vozdeistviya na radioelektronnyuyu apparaturu = Questions of atomic science and technics. Series: Physics of radiation effects on radio-electronic equipment*. 2010;(2):82–89. (In Russ.).
11. Петров К.А. Помехоустойчивое кодирование для субмикронных динамических ОЗУ. *Проблемы разработки перспективных микро- и наноэлектронных систем*. 2012;(1):419–422.
Petrov K.A. Error control coding for submicron dynamic RAM. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem = Problems of Advanced Micro- and Nanoelectronic Systems Development*. 2012;(1):419–422. (In Russ.).
12. Dutta A., Toubia N.A. Multiple Bit Upset Tolerant Memory Using a Selective Cycle Avoidance Based SEC-DED-DAEC Code. In: *25th IEEE VLSI Test Symposium (VTS'07), 06-10 May 2007, Berkeley, CA, USA*. IEEE; 2007. P. 349–354. <https://doi.org/10.1109/VTS.2007.40>.
13. Fujiwara E., Pradhan D.K. Error-Control Coding in Computers. *Computer*. 1990;23:63–72. <https://doi.org/10.1109/2.56853>.
14. Pontarelli S., Cardarilli G.C., Re M., Salsano A. Error Correction Codes for SEU and SEFI Tolerant Memory Systems. In: *2009 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems: DFT '09: Proceedings of the 2009 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 07-09 October 2009, Chicago, IL, USA*. NW Washington, DC: IEEE Computer Society; 2009. P. 425–430. <https://doi.org/10.1109/DFT.2009.8>.

15. Ханов В.Х., Лепёшкина Е.С., Непомнящих Л.И. Анализ устойчивости структур памяти к множественным сбоям. В сборнике: *XXI Всероссийская научно-техническая конференция «современные проблемы радиоэлектроники»: Современные проблемы радиоэлектроники, 03-04 мая 2018 года, Красноярск, Россия*. Красноярск: Сибирский федеральный университет; 2018. С. 177–181.
Khanov V.Kh., Lepeshkina E.S., Nepomnyashchikh L.I. Analiz ustoichivosti struktur pamuyati k mnozhestvennym sboyam. In: *XXI Vserossiiskaya nauchno-tekhnicheskaya konferentsiya «sovremennye problemy radioelektroniki»: Sovremennye problemy radioelektroniki, 03-04 May 2018, Krasnoyarsk, Russia*. Krasnoyarsk: Siberian Federal University; 2018. P. 177–181. (In Russ.).
16. Kustov N.D., Lepeshkina E.S., Khanov V.K. Efficiency Estimation of Single Error Correction, Double Error Detection and Double-Adjacent-Error Correction Codes. In: *9th Computer Science On-line Conference 2020, Applied Informatics and Cybernetics in Intelligent Systems: Proceedings of the 9th Computer Science On-line Conference 2020, 23-26 April 2020, Prague, Czech Republic*. Cham: Springer; 2020. P. 518–525.
https://doi.org/10.1007/978-3-030-51974-2_48.
17. Datta R., Toubia N.A. Exploiting Unused Spare Columns to Improve Memory ECC. In: *27th IEEE VLSI Test Symposium: VTS '09: Proceedings of the 2009 27th IEEE VLSI Test Symposium, 03-07 May 2009, Santa Cruz, CA, USA*. NW Washington, DC: IEEE Computer Society; 2009. P. 47–52. <https://doi.org/10.1109/VTS.2009.52>.
18. Neale A., Sachdev M. A New SEC-DED Error Correction Code Subclass for Adjacent MBU Tolerance in Embedded Memory. *IEEE Transactions on Device and Materials Reliability*. 2013;13(1):223–230. <https://doi.org/10.1109/TDMR.2012.2232671>.
19. Reviriego P., Liu S.S., Sánchez-Macián A., Xiao L., Maestro J.A. Unequal error protection codes derived from SEC-DED codes. *Electronics Letters*. 2016;52(8):619–620. <https://doi.org/10.1049/el.2016.0077>.
20. Cha S., Yoon H. Efficient Implementation of Single Error Correction and Double Error Detection Code with Check Bit Pre-computation for Memories. *Journal of Semiconductor Technology and Science*. 2012;12(4):418–425. <https://doi.org/10.5573/JSTS.2012.12.4.418>.
21. Jun H., Lee Y. Protection of On-chip Memory Systems against Multiple Cell Upsets Using Double-adjacent Error Correction Codes. *International Journal of Computer and Information Technology*. 2014;3(6):1316–1320.

ИНФОРМАЦИЯ ОБ АВТОРАХ / INFORMATION ABOUT THE AUTHORS

Лепёшкина Екатерина Сергеевна, старший преподаватель кафедры безопасности информационных технологий Сибирского государственного университета науки и технологий им. М.Ф. Решетнева, Красноярск, Российская Федерация.
ORCID: [0000-0001-5116-6260](https://orcid.org/0000-0001-5116-6260)

Ekaterina S. Lepeshkina, Senior Lecturer of Information Technology Security Department of the Reshetnev Siberian State University of Science and Technology, Krasnoyarsk, the Russian Federation.

Статья поступила в редакцию 14.04.2024; одобрена после рецензирования 22.04.2024; принята к публикации 06.05.2024.

The article was submitted 14.04.2024; approved after reviewing 22.04.2024; accepted for publication 06.05.2024.