

УДК 004.031.6

DOI: [10.26102/2310-6018/2019.27.4.008](https://doi.org/10.26102/2310-6018/2019.27.4.008)

РЕАЛИЗАЦИЯ В БАЗИСЕ ПЛИС РЕЛЯТОРНЫХ КОНТРОЛИРУЮЩИХ ОПРОСНЫХ УСТРОЙСТВ

С.А. Паньчев

*Федеральное государственное автономное образовательное учреждение высшего
образования «Южный федеральный университет»,
Таганрог, Российская Федерация
e-mail: rocky61rus@yandex.ru*

Резюме: К устройствам функционального контроля и диагностики электронных систем для ответственных применений предъявляются жесткие требования по быстродействию и аппаратурной совместимости с объектом контроля. Способностью обрабатывать диагностическую информацию в масштабе реального времени обладают реляторные контролирующие опросные устройства, работа которых основана на выполнении операций порядковой логики. К настоящему времени разработаны структуры нескольких типов порядково-логических реляторных контролирующих опросных устройств, однако примеров практических реализаций таких устройств с использованием современной элементной базы нет. В работе в базисе ПЛИС фирмы Xilinx выполнено моделирование и тестирование реляторного устройства регистрации единичного элемента в двоичном векторе с управляемой приоритетностью поиска. Также представлена реализация проекта в базисе ПЛИС и результаты тестирования реляторного устройства определения величины и адреса экстремального элемента в массиве данных с управляемой приоритетностью поиска. Для разработки и симуляции работы реляторных контролирующих опросных устройств дискретных сигналов использована САПР ПЛИС Xilinx ISE. Реализация моделей реляторных функциональных элементов в базисе ПЛИС показывает возможность изготовления устройства функционального контроля и диагностики как системы-на-кристалле, что позволяет обеспечить его программную, информационную, схемотехническую, интерфейсную совместимость с современными электронными системами, а также оперативную реконфигурацию его внутренней структуры в процессе функционирования.

Ключевые слова: ПЛИС, функциональная диагностика, автоматический контроль, порядковая логика, реляторное устройство, встроенные устройства, реконфигурирование.

Для цитирования: Паньчев С.А. Реализация в базисе ПЛИС реляторных контролирующих опросных устройств. *Моделирование, оптимизация и информационные технологии*. 2019;7(4). Доступно по: https://moit.vivt.ru/wp-content/uploads/2019/11/Panychev_4_19_1.pdf DOI: 10.26102/2310-6018/2019.27.4.008.

REALIZATION OF RELATIONAL INTERROGATORIES DEVICES FOR MONITORING IN FPGA BASIS

S.A. Panychev

*Federal State Autonomous Educational Institution of Higher Education
"Southern Federal University", Taganrog, Russian Federation*

Abstract: The devices of functional control and diagnostics of electronic systems for critical applications are subject to strict requirements for performance and hardware compatibility with the object of control. The ability to process diagnostic information in real time have relational monitoring devices, whose work is based on the execution of operations of ordinal logic. To date, the structures of several types of ordinal-logical relational devices for monitoring polling have been developed, but there are no examples of practical implementation of such devices using modern element base. In paper the modeling and

testing of a relational device for registration of a single element in a binary vector with a controlled search priority is performed on the basis of Xilinx FPGA. The results of realization by FPGA and testing of a relational device for determining the value and address of an extreme element in a data array with a controlled search priority are also presented. The software package CAD FPGA Xilinx ISE is used to develop and simulate the operation of relational monitoring devices for polling discrete signals. Realization of models of relational functional elements in FPGA bases shows the possibility of manufacturing the device of functional control and diagnostics in the form of a system on chip, which allows to provide its software, information, circuit and interface compatibility with modern electronic systems, as well as operational reconfiguration of its internal structure in the process of functioning.

Keywords: FPGA, functional diagnostics, automatic control, ordinal logic, relational device, embedded device, reconfiguring.

For citation: Panychev S.A. Realization of relational interrogatories devices for monitoring in FPGA basis. *Modeling, Optimization and Information Technology*. 2019;7(4). Available from: https://moit.vivt.ru/wp-content/uploads/2019/11/Panychev_4_19_1.pdf DOI: 10.26102/2310-6018/2019.27.4.008 (In Russ).

Введение

Предъявляемые к электронным системам для ответственных применений требования по массогабаритным параметрам, энергопотреблению, надежности, управлению живучестью могут быть удовлетворены только при наличии мощной и гибкой системы технического контроля и диагностики (СТКД), работающей в масштабе реального времени. Адаптация к динамически изменяющимся условиям и состояниям функционирования объекта контроля и диагностики (ОКД) достигается соответствием СТКД таким критериям, как [1-5]:

- высокая надежность и отсутствие влияния на ОКД;
- требуемая инструментальная и метрологическая достоверность контроля и диагностирования;
- схемотехническая, интерфейсная, программная, информационная совместимость с ОКД;
- наличие собственных вычислительных средств;
- построение по принципу встроенной распределенной структуры с унифицированными каналами связи между ОКД и вычислительной средой;
- самодиагностируемость, то есть способность СТКД давать оценку своей работоспособности в процессе реализации целевой функции;
- реконфигурируемость собственной структуры для парирования отказов и сбоев.

Схемно-конструктивной основой СТКД являются функциональные контрольные точки (ФКТ), формирующие диагностическую информацию по сигналам датчиков физических величин [6]. Поскольку СТКД относятся к узлам с высокой приоритетностью обслуживания, то к входящим в их состав опросным контролирующим устройствам (ОКУ) предъявляются жесткие требования по уменьшенным показателям времени ожидания, обслуживания и восстановления [7].

Постановка задачи и анализ

Изучим возможность реализации ОКУ, удовлетворяющих сформированным ранее требованиям, в базисе программируемых логических интегральных схем (ПЛИС). С точки зрения реализации ОКУ основными преимуществами ПЛИС являются:

- возможность программирования или изменения конфигурации непосредственно в СТКД;
- наличие средств автоматизированного проектирования для моделирования устройств на основе ПЛИС;
- относительная простота комплексирования с функциональными узлами ОКД, часто выполняемыми в виде систем-на-кристалле [8-10].

Кроме того, известно, что высоким быстродействием, которое необходимо в СТКД реального времени, обладают реляторные ОКУ, реализующие операции порядковой логики. К настоящему времени разработано несколько типов порядково-логических реляторных контроллеров [11-15]. В работах [16-20] рассмотрен структурный синтез бортовых СТКД и некоторые аспекты интерпретации диагностической информации с использованием реляторных ОКУ, однако, не предложено вариантов их аппаратурной реализации.

Современные ПЛИС FPGA, ориентированные на использование в различных системах для ответственных применений, представлены, в основном, продуктами Xilinx, Altera, Actel, Atmel, АО «КТЦ «Электроника», в том числе и в радиационно-стойком исполнении. Производители предлагают как высокопроизводительные ПЛИС для решения различных ресурсоемких задач, так и менее производительные, но более дешевые ПЛИС. По количеству конфигурируемых логических блоков, электронных связей между ними, быстродействию и показателям отказоустойчивости для реализации реляторных ОКУ оптимальной элементной базой является семейство Xilinx Spartan-6 (LX). Разработка и симуляция работы реляторных ОКУ выполнена в САПР ПЛИС Xilinx ISE Design Suite 14.7.

Реализация в базе ПЛИС реляторного устройства определения величины и адреса приоритетного элемента в массиве данных с управляемой приоритетностью поиска

Рассмотрим реализацию реляторного устройства такого типа, предложенного в [14]. Символ верхнего уровня и комбинационная схема данного реляторного ОКУ, построенная по логическому уравнению из [14], представлены на Рисунке 1.

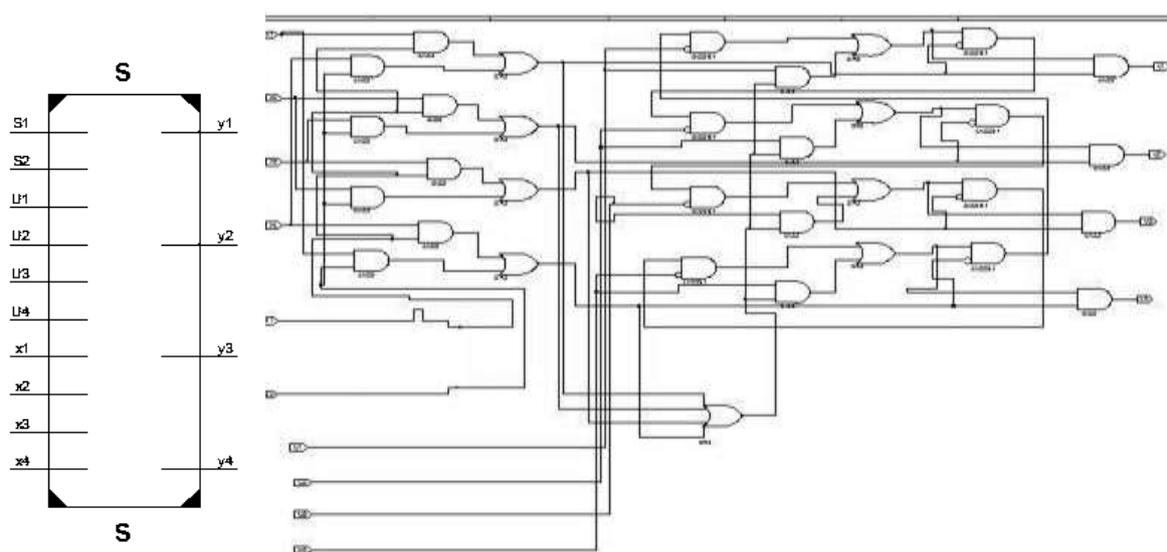


Рисунок 1. Символ верхнего уровня и комбинационная схема порядково-логического устройства определения величины и адреса приоритетного элемента в массиве данных с управляемой приоритетностью поиска

Устройство реализует выбор ФКТ с отказным состоянием с возможностью задавать номер наиболее важной ФКТ и изменять направление опроса в кортеже ФКТ. На входы x1, x2, x3, x4 подаются значения сигналов ФКТ, отказ индицируется единичным состоянием. Приоритетность поиска задается вектором на входах u1, u2, u3, u4, содержащим код адреса ФКТ, с которой надо начинать поиск. Комбинация сигналов на входах s1, s2 задает направления поиска ФКТ (прямое или обратное). Выходы y1, y2, y3, y4 определяют побитный адрес выбранной приоритетной ФКТ с отказом.

На Рисунке 2 приведены временные диаграммы, иллюстрирующие пример симуляции работы данного ОКУ.

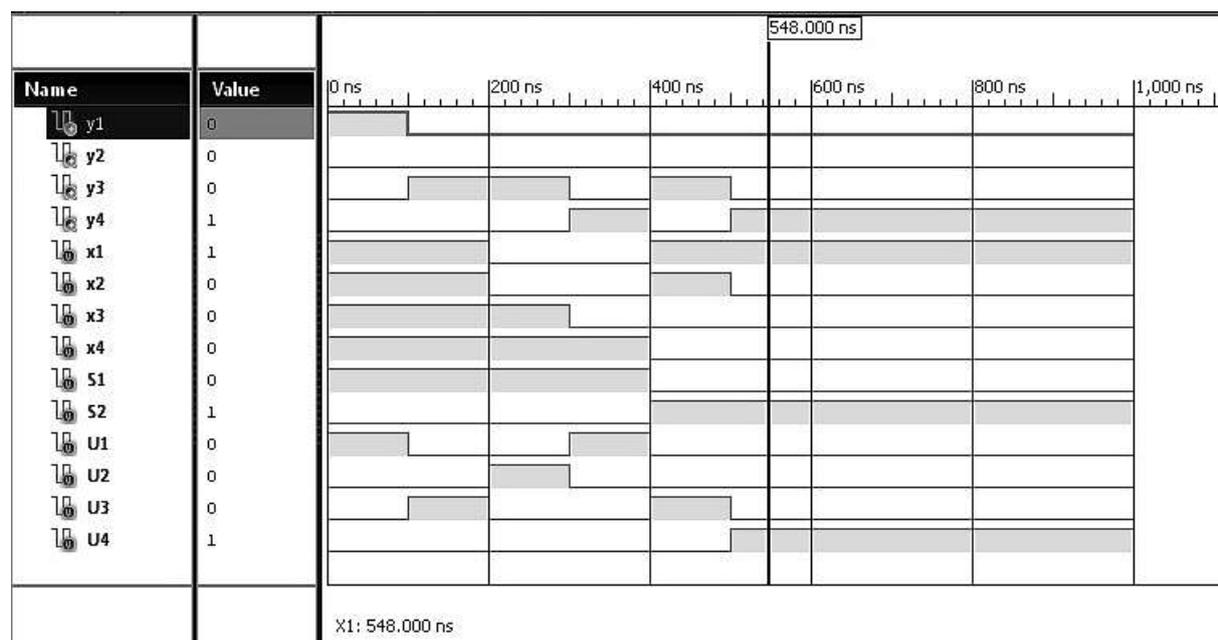


Рисунок 2. Пример симуляции работы порядково-логического устройства определения величины и адреса приоритетного элемента в массиве данных с управляемой приоритетностью поиска

В Таблице 1 указаны состояния входов и выходов данного устройства на различных интервалах времени.

Таблица 1. Результаты симуляции работы реляторного устройства определения величины и адреса приоритетного элемента в массиве данных с управляемой приоритетностью поиска

Интервал, нс	Входы										Выходы			
	x1	x2	x3	x4	u1	u2	u3	u4	s1	s2	y1	y2	y3	y4
0...100	1	1	1	1	1	0	0	0	1	0	1	0	0	0
100...200	1	1	1	1	0	0	1	0	1	0	0	0	1	0
200...300	0	0	1	1	0	1	0	0	1	0	0	0	1	0
300...400	0	0	0	1	1	0	0	0	1	0	0	0	0	1
400...500	1	1	0	0	0	0	1	0	0	1	0	0	1	0
500...600	1	0	0	0	0	0	0	1	0	1	0	0	0	1

Представленные в Таблице 1 данные подтверждают правильность функционирования устройства:

- на интервале 0...100 нс на всех четырех ФКТ задан отказ ($x_1=1, x_2=1, x_3=1, x_4=1$); приоритетной выбрана первая ФКТ ($u_1=1$); порядок проверки задан прямой ($S_1=1$); в итоге 1 сформирована на выходе y_1 ;

- на интервале 100...200 нс на всех четырех ФКТ задан отказ ($x_1=1, x_2=1, x_3=1, x_4=1$); приоритетной выбрана третья ФКТ ($u_3=1$); порядок проверки задан прямой ($S_1=1$); в итоге 1 сформирована на выходе y_3 ;

- на интервале 200...300 нс отказ задан на третьей и четвертой ФКТ ($x_3=1, x_4=1$); приоритетной выбрана вторая ФКТ ($u_2=1$), на которой отказа нет ($x_2=0$); порядок проверки задан прямой ($S_1=1$); следовательно, следующая ФКТ с отказом – третья; в итоге 1 сформирована на выходе y_3 , что соответствует ближайшей в заданном направлении ФКТ с отказом;

- на интервале 300...400 нс отказ задан на четвертой ФКТ ($x_4=1$), приоритетной выбрана первая ФКТ ($u_1=1$), на которой отказа нет ($x_1=0$), порядок проверки задан прямой ($S_1=1$), следовательно, следующая ФКТ с отказом – четвертая; в итоге 1 сформирована на выходе y_4 ;

- на интервале 400...500 нс отказ задан на первой и второй ФКТ ($x_1=1, x_2=1$); приоритетной выбрана третья ФКТ ($u_3=1$), на которой отказа нет ($x_3=0$); порядок поиска задан обратный ($S_2=1$); следовательно, следующая ФКТ в обратном направлении – вторая; в итоге 1 выдана на выходе y_3 , поскольку при обратном порядке поиска результат на выходах формируется также в обратном порядке, т.е. y_4 будет старшим разрядом, следовательно, результат 0100 (вторая ФКТ отказала ($x_2=1$), первая также в отказе ($x_1=1$), но с низшим приоритетом);

- на интервале 500...600 нс отказ задан на первой ФКТ ($x_1=1$); приоритетной выбрана четвертая ФКТ ($u_4=1$), на которой отказа нет ($x_4=0$); порядок проверки задан обратный ($S_2=1$); следовательно, следующая ФКТ в обратном направлении – первая; в итоге 1 выдана на выходе y_4 , поскольку при обратном порядке поиска результат на выходах формируется также в обратном порядке, т.е. y_4 будет старшим разрядом, следовательно, результат 1000 (первая ФКТ отказала ($x_1=1$)).

Таким образом, в базе ПЛИС реализовано ОКУ, способное выбирать из определенного числа ФКТ самую приоритетную, причем с заданным порядком поиска (прямым либо обратным), что позволяет гибко и оптимально действовать в динамических ситуациях. Приоритеты и порядок поиска выбираются по командам управляющей вычислительной системы, регулирующей работу общей СТКД.

Реализация в базе ПЛИС реляторного устройства регистрации максимального значения и его позиции в двоичном числовом массиве с управляемой приоритетностью поиска

Реляторное устройство такого типа предложено в [15]. Символ верхнего уровня и комбинационная схема данного порядково-логического устройства, построенная по логическому уравнению из [15], представлены на Рисунке 3.

Для примера реализовано ОКУ, отслеживающее в динамике состояние трех ФКТ (первый индекс в обозначении входа) с сигналами x_1, x_2, x_3 . Слово состояния каждой ФКТ состоит из трех бит (второй индекс в обозначении входа), на ОКУ каждый бит поступает отдельно на соответствующий вход: $x_{11}, x_{12}, x_{13}, x_{21}, x_{22}, x_{23}, x_{31}, x_{32}, x_{33}$. На выходах a_1, a_2, a_3 формируется адрес максимального значения; на выходах m_1, m_2, m_3 формируется значение обнаруженного двоичного максимального числа. Максимальное число представляется побитно, где m_1 – старший разряд. Реляторное

ОКУ позволяет отслеживать состояние ОКД в динамике и не нуждается в синхронизации с общей СТКД.

Выполнены тесты, моделирующие работу этого реляторного устройства:

- входные данные теста 1: двоичные сигналы первой и второй ФКТ равны 001, сигнал третьей ФКТ равен 011.
- входные данные теста 2: двоичный сигнал первой ФКТ равен 101, сигнал второй ФКТ равен 011, сигнал третьей ФКТ равен 001.

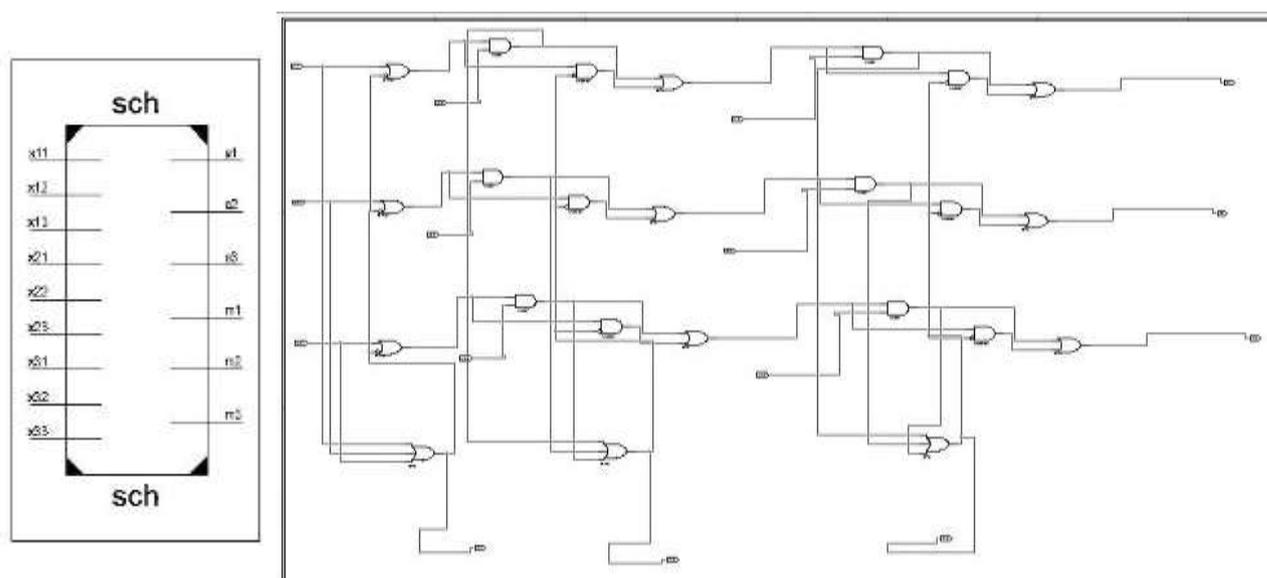


Рисунок 3. Символ верхнего уровня и комбинационная схема порядково-логического устройства регистрации максимального значения и его позиции в двоичном числовом массиве

В Таблице 2 приведены результаты тестирования алгоритма работы устройства в соответствии с условиями первого и второго тестов.

Таблица 2. Результаты тестирования работы реляторного устройства регистрации максимального значения и его позиции в двоичном числовом массиве

Тест	Входы									Выходы					
	x11	x12	x13	x21	x22	x23	x31	x32	x33	a1	a2	a3	m1	m2	m3
1	0	0	1	0	0	1	0	1	1	0	0	1	0	1	1
2	1	0	1	0	1	1	0	0	1	1	0	0	1	0	1

На Рисунке 4 представлены временные диаграммы, иллюстрирующие примеры симуляции работы данного ОКУ с конкретными значениями сигналов на входах, соответствующими двум тестам.

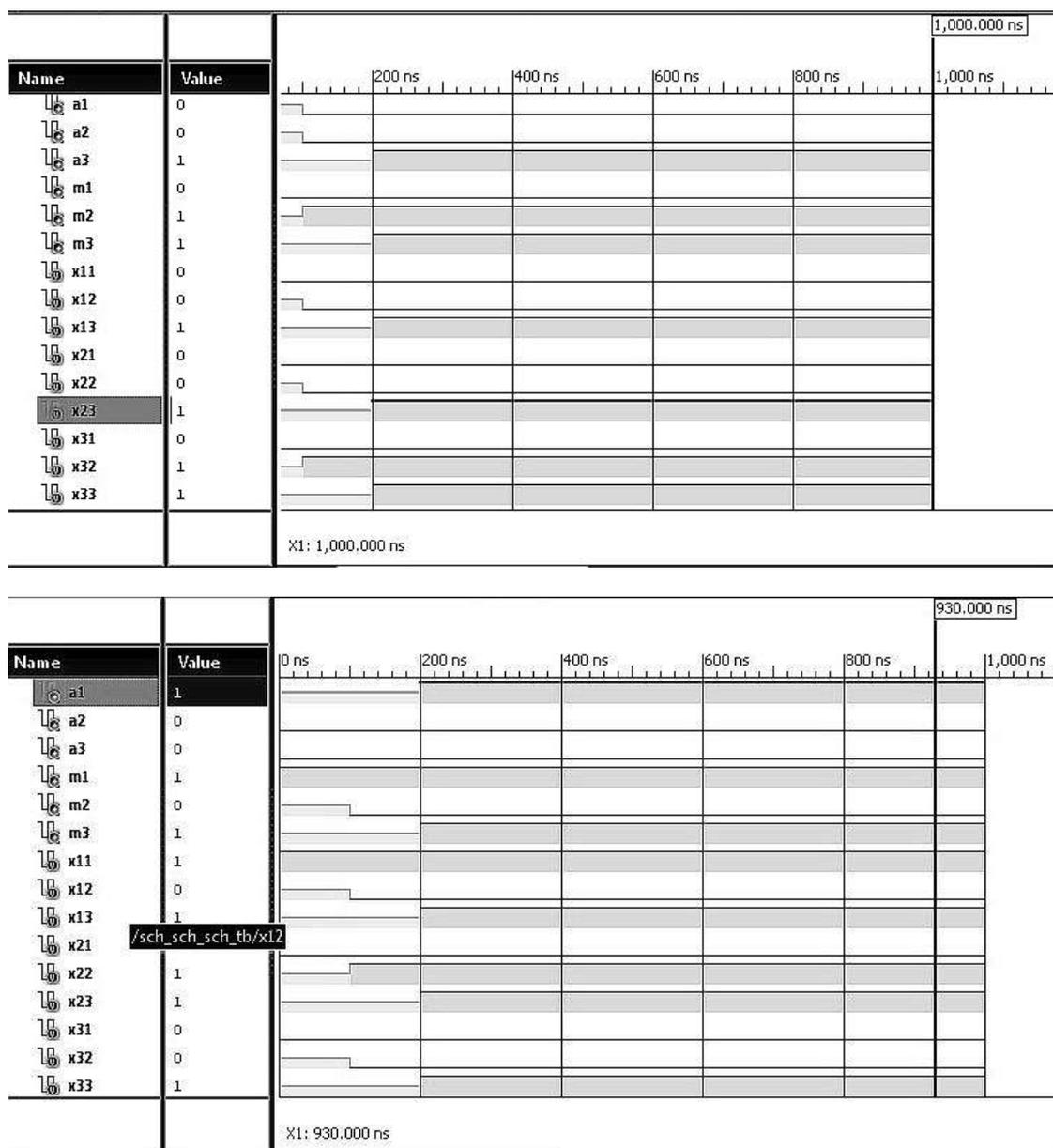


Рисунок 4. Временные диаграммы работы порядково-логического устройства регистрации максимального значения и его позиции в двоичном числовом массиве для двух тестов

Как следует из Таблицы 2 и Рисунка 4, реализованное в базе ПЛИС реляторное устройство регистрации максимального значения и его позиции в двоичном числовом массиве работает корректно. Так, в условиях первого теста максимальным является операнд третьей ФКТ; в результате работы устройства сформирована 1 на выходе a3 и числовое значение максимального входного операнда 011 на выходах m1, m2, m3. В условиях второго теста максимальным является операнд первой ФКТ; в результате работы устройства сформирована 1 на выходе a1 и числовое значение максимального входного операнда 101 на выходах m1, m2, m3.

Таким образом, в базе ПЛИС реализовано реляторное ОКУ, способное выдавать в динамике адрес ФКТ с максимальным значением параметра и величину этого

параметра. Количество ФКТ и разрядность слова состояния ФКТ могут быть произвольными в пределах реализуемости средствами конкретной ПЛИС.

Заключение

Реализация реляторных ОКУ в базе ПЛИС обеспечивает минимизацию массогабаритных показателей СТКД реального времени, унификацию и возможность реконфигурирования их иерархических уровней.

Моделирование и тестирование реляторного устройства регистрации единичного элемента в двоичном векторе с управляемой приоритетностью поиска, а также реализация реляторного устройства определения величины и адреса экстремального элемента в массиве данных с управляемой приоритетностью поиска в базе ПЛИС демонстрируют перспективность изготовления СТКД как системы-на-кристалле.

Статья подготовлена по результатам выполнения научно-исследовательской работы по проектной части государственного задания Минобрнауки России № 2.3928.2017/ПЧ.

ЛИТЕРАТУРА

1. Щербаков Н.С., Самхарадзе Т.Г., Рыбин В.М. Построение универсальной встроенной иерархической системы диагностирования сложных радиоэлектронных комплексов. *Приборы и системы. Управление, контроль, диагностика*. 2012;4:46-50.
2. Русанов В.Н., Куликов С.В. Многофункциональная самодиагностируемая бортовая вычислительная система для ответственных применений. *Авиакосмическое приборостроение*. 2016;5:14-21.
3. Русанов В.Н., Киселев А.Ю., Сильянов Н.В. Самодиагностируемая трехканальная бортовая вычислительная система с резервированием замещением. *Авиакосмическое приборостроение*. 2015;3:23-31.
4. Hahn M., Elsner G. Advanced Integrated Control and Data Systems for Constellation Satellites. *MAPLD International Conference*. 2002:217-225.
5. Shelton C., Koopman P., Nace W. A Framework for Scalable Analysis and Design of System-Wide Graceful Degradation in Distributed Embedded Systems. *Eighth IEEE International Workshop on Object-Oriented Real-Time Dependable Systems (WORDS 2003)*. 2003:8.
6. Гаскаров Д.В., Голинкевич Т.А., Мозгалеvский А.В. Прогнозирование технического состояния и надежности радиоэлектронной аппаратуры. *Сов. радио*. 1974.
7. Ломакин М.И., Миронов А.Н., Шестопалова О.Л. Многомодельная обработка измерительной информации в интеллектуальных системах прогнозирования надежности космических средств. *Измерительная техника*. 2014;1:8-13.
8. Hanck S. Reconfigurable computing. The theory and practice of FPGA-based computation. Morgan Kaufmann Publ. 2007.
9. Gokhale M., Graham P. Reconfigurable Computing Accelerating Computation with Field Programmable Gate Arrays. Springer Publ. 2005.
10. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультиконвейерные вычислительные структуры. Изд-во ЮНЦ РАН. 2008.
11. Волгин Л.И. Реляторные процессоры на основе графа Паскаля для адресно-ранговой идентификации, селекции и ранжирования аналоговых сигналов. Поволжский технологический институт сервиса. 2000.

12. Волгин Л.И., Зарукин А.И. Развитие элементного базиса релейной схемотехники. *Датчики и системы*. 2002;3.
13. Волгин Л.И. Конъюнктивно-дизъюнктивный релейтор. *Патент РФ 2143730*. 1999.
14. Самойленко А.П., Самойленко И.А., Яцко Ф.Г. Устройство переменного приоритета. *Патент SU 1383353*. 1988.
15. Самойленко А.П., Усенко О.А. Способ централизованного контроля N объектов. *Патент 2198418 RU*. 2003.
16. Самойленко А.П., Панычев А.И., Панычев С.А. Синтез системы автоматического контроля работоспособности бортового радиоэлектронного комплекса. *Известия ЮФУ. Технические науки*. 2015;11(172):166-177.
17. Самойленко А.П., Панычев А.И., Панычев С.А. Синтез контроллера внешних прерываний с динамически изменяемым приоритетом. *Проблемы разработки перспективных микро- и наноэлектронных систем*. 2016;III:212-219.
18. Samoilenko A.P., Panychev A.I., Panychev S.A. Statistical Diagnostics of Irreversible Avionics As a Controlled Random Process. *2016 IEEE International Siberian Conference on Control and Communications (SIBCON)*. DOI: 10.1109/SIBCON.2016.7391722.
19. Panychev S., Guzik V., Samoilenko A., Panychev A. The prerequisites of forming a risk management system in the design of facilities space application. *MATEC Web of Conferences 102, 01030 (2017) V International Forum for Young Scientists "Space Engineering"*. DOI: 10.1051/mateconf/201710201030.
20. Панычев С.А. Безэталонный способ контроля работоспособности бортовой вычислительной системы в конструктиве концепции ИМА. *Моделирование, оптимизация и информационные технологии*. 2018;6(1). Доступно по: https://moit.vivt.ru/wp-content/uploads/2018/01/Panichev_1_1_18.pdf.

REFERENCES

1. Shcherbakov N.S., Samkharadze T.G., Rybin V.M. Postroyeniye universal'noy vstroyennoy iyerarkhicheskoy sistemy diagnostirovaniya slozhnykh radioelektronnykh kompleksov [The construction of a universal built-in hierarchical system for diagnosing complex electronic complexes]. *Pribory i sistemy. Upravleniye, kontrol', diagnostika*. 2012;4:46-50. (In Russ)
2. Rusanov V.N., Kulikov S.V. Mnogofunktsional'naya samodiagnostiruyemaya bortovaya vychislitel'naya sistema dlya otvetstvennykh primeneniy [Multifunctional self-diagnostic on-board computer system for critical applications]. *Aviakosmicheskoye priborostroyeniye*. 2016;5:14-21. (In Russ)
3. Rusanov V.N., Kiselev A.Yu., Sil'yanov N.V. Samodiagnostiruyemaya trekhkanal'naya bortovaya vychislitel'naya sistema s rezervirovaniyem zameshcheniyem [Self-diagnosed three-channel on-board computer system with redundancy replacement]. *Aviakosmicheskoye priborostroyeniye*. 2015;3:23-31. (In Russ)
4. Hahn M., Elsner G. Advanced Integrated Control and Data Systems for Constellation Satellites. *MAPLD International Conference*. 2002:217-225.
5. Shelton C., Koopman P., Nace W. A Framework for Scalable Analysis and Design of System-Wide Graceful Degradation in Distributed Embedded Systems. *Eighth IEEE International Workshop on Object-Oriented Real-Time Dependable Systems (WORDS 2003)*. 2003:8.
6. Gaskarov D.V., Golinkevich T.A., Mozgalevskiy A.V. Prognozirovaniye tekhnicheskogo sostoyaniya i nadezhnosti radioelektronnoy apparatury [Prediction of the technical condition and reliability of electronic equipment]. *Sov. Radio*. 1974. (In Russ)

7. Lomakin M.I., Mironov A.N., Shestopalova O.L. Mnogomodel'naya obrabotka izmeritel'noy informatsii v intellektual'nykh sistemakh prognozirovaniya nadezhnosti kosmicheskikh sredstv [Multimodel processing of measuring information in intelligent systems for predicting the reliability of space assets]. *Izmeritel'naya tekhnika*. 2014;1:8-13. (In Russ)
8. Hanck S. Reconfigurable computing. The theory and practice of FPGA-based computation. Morgan Kaufmann Publ. 2007.
9. Gokhale M., Graham P. Reconfigurable Computing Accelerating Computation with Field Programmable Gate Arrays. Springer Publ. 2005.
10. Kalyayev I.A., Levin I.I., Semernikov Ye.A., Shmoylov V.I. Rekonfiguriruyemye mul'tikonveyernyye vychislitel'nyye struktury [Reconfigurable multi-pipeline computing structures]. Izd-vo YUNTS RAN. 2008. (In Russ)
11. Volgin L.I. Relyatornyye protsessory na osnove grafa Paskalya dlya adresno-rangovoy identifikatsii, selektsii i ranzhirovaniya analogovykh signalov [Relatory processors based on the Pascal graph for address-rank identification, selection and ranking of analog signals]. Povolzhskiy tekhnologicheskii institut servisa. 2000. (In Russ)
12. Volgin L.I., Zarukin A.I. Razvitiye elementnogo bazisa relyatornoy skhemotekhniki [The development of the elemental basis of relational circuitry]. *Datchiki i sistemy*. 2002;3. (In Russ)
13. Volgin L.I. Kon'yunktivno-diz'yunktivnyy relyator [Conjunctive Disjunctive Relator]. *Patent RF 2143730*. 1999. (In Russ)
14. Samoylenko A.P., Samoylenko I.A., Yatsko F.G. Ustroystvo peremennogo prioriteta [Variable priority device]. *Patent SU 1383353*. 1988. (In Russ)
15. Samoylenko A.P., Usenko O.A. Sposob tsentralizovannogo kontrolya N ob'yektov [The method of centralized control of N objects]. *Patent 2198418 RU*. 2003. (In Russ)
16. Samoilenko A.P., Panychev A.I., Panychev S.A. Sintez sistemy avtomaticheskogo kontrolya rabotosposobnosti bortovogo radioelektronnogo kompleksa [Synthesis of the automatic control system of the on-board radio electronic complex.] *Izvestiya SFedU. Tekhnicheskie nauki*. , 2015, No.11 (172). pp. 166-177. (In Russ)
17. Samoylenko A.P., Panychev A.I., Panychev S.A. Sintez kontrollera vneshnikh preryvaniy s dinamicheski izmenyayemym prioritетom [Synthesis of an external interrupt controller with dynamically changing priority]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh system*. 2016;III: 212-219. (In Russ)
18. Samoilenko A.P., Panychev A.I., Panychev S.A. Statistical Diagnostics of Irreversible Avionics As a Controlled Random Process. *2016 IEEE International Siberian Conference on Control and Communications (SIBCON)*. DOI: 10.1109/SIBCON.2016.7391722.
19. Panychev S., Guzik V., Samoylenko A., Panychev A. The prerequisites of forming a risk management system in the design of facilities space application. *MATEC Web of Conferences 102, 01030 (2017) V International Forum for Young Scientists "Space Engineering"*. DOI: 10.1051/mateconf/201710201030.
20. Panychev S.A. Bezetalonnyy sposob kontrolya rabotosposobnosti bortovoy vychislitel'noy sistemy v konstruktive kontseptsii IMA [Way of without-etalon control of on-board computer system operability according to IMA conception]. *Modeling, Optimization and Information Technology*. 2018;6(1). Available from: https://moit.vivt.ru/wp-content/uploads/2018/01/Panichev_1_1_18.pdf (In Russ)

ИНФОРМАЦИЯ ОБ АВТОРЕ / INFORMATION ABOUT THE AUTHOR

Панычев Сергей Андреевич, соискатель, кафедра вычислительной техники, федеральное государственное автономное образовательное учреждение высшего образования «Южный федеральный университет», институт компьютерных технологий и информационной безопасности, Таганрог, Российская Федерация.

Sergey A. Panychev, degree applicant, Computer engineering Department, Federal State Autonomous Educational Institution of Higher Education "Southern Federal University", Institute of Computer Technologies and Information Security, Taganrog, Russian Federation.